

## Sistemi di Calcolo (A.A. 2014-2015)

Corso di Laurea in Ingegneria Informatica e Automatica  
Sapienza Università di Roma

### Esercizi riepilogativi sulla seconda parte del Modulo I – Sistemi di memoria

---

#### Domanda 1

Si consideri un'operazione `movl x, %eax`. L'istruzione richiede una transazione di accesso a memoria che effettua una serie di passi che scambiano dati fra la CPU e la memoria utilizzando il bus della memoria. Quali?

---

#### Domanda 2

Qual è il tempo tipico di accesso (latenza) a una memoria DRAM?

<b>A</b>	1-10 nanosecondi	<b>B</b>	10-100 nanosecondi
<b>C</b>	1-10 microsecondi	<b>D</b>	1-10 millisecondi

---

#### Domanda 3

Qual è il tempo tipico di accesso (latenza) a un disco (tradizionale, non a stato solido)?

<b>A</b>	1-10 nanosecondi	<b>B</b>	10-100 nanosecondi
<b>C</b>	1-10 microsecondi	<b>D</b>	1-10 millisecondi

---

#### Domanda 4

Una memoria DRAM non conserva i dati in essa immagazzinati in assenza di alimentazione elettrica. E' richiesto un refresh elettrico:

<b>A</b>	Ogni 10-100 nanosecondi	<b>B</b>	Ogni 10-100 microsecondi
<b>C</b>	Ogni 10-100 millisecondi	<b>D</b>	Ogni secondo

---

#### Domanda 5

Grazie ai progressi tecnologici, la velocità di accesso ai dispositivi di memorizzazione basati su dischi magnetici si è costantemente ridotta durante l'ultimo decennio:

<b>A</b>	Vero: i tempi di accesso a disco si sono dimezzati ogni 18 mesi come predetto dalla Legge di Moore	<b>B</b>	Falso: i tempi di accesso a disco sono rimasti quasi invariati negli ultimi anni.
----------	--	----------	---

---

#### Domanda 6\*<sup>1</sup>

L'istruzione `movl (%eax), %ecx` richiede sempre lo stesso tempo per essere completata indipendentemente dal contesto in cui viene richiamata.

<b>A</b>	Vero	<b>B</b>	Falso
----------	------	----------	-------

---

#### Domanda 7

Una memoria cache è una memoria:

<b>A</b>	Veloce e costosa	<b>B</b>	Veloce ed economica
<b>C</b>	Lenta e costosa	<b>D</b>	Lenta ed economica

---

<sup>1</sup> Le risposte alle domande marcate con \* devono essere motivate.

---

**Domanda 8**

Lo scopo di una memoria cache è:

<b>A</b>	Garantire protezione della memoria in modo che un processo non possa accedere allo spazio logico di un altro processo	<b>B</b>	Fornire uno spazio di memoria condiviso tra più processi per consentire loro di comunicare
<b>C</b>	Sfruttare le proprietà di località dei programmi per velocizzare gli accessi a memoria	<b>D</b>	Permettere a più core di accedere in parallelo alla stessa zona di memoria fisica

---

**Domanda 9**

Un programma esibisce località spaziale nell'accesso alla memoria in uno di questi casi:

<b>A</b>	Se una cella di memoria viene acceduta, è probabile che altre celle di memoria nel suo vicinato vengano accedute a breve	<b>B</b>	Se una cella di memoria viene acceduta, è probabile che la stessa cella venga acceduta ancora a breve
----------	--	----------	---

---

**Domanda 10**

Le dimensioni attuali delle cache sono dell'ordine:

<b>A</b>	GB	<b>B</b>	KB-MB
----------	----	----------	-------

---

**Domanda 11**

In una cache completamente associativa:

<b>A</b>	Ogni blocco di memoria può essere ospitato in qualsiasi blocco di cache	<b>B</b>	Ogni blocco di memoria ha un solo possibile blocco di cache che può ospitarlo
<b>C</b>	Ogni blocco di memoria ha diversi possibili blocchi di cache che possono ospitarlo, ma non tutti	<b>D</b>	Nessuna delle precedenti

---

**Domanda 12**

Si ha un cache hit quando:

<b>A</b>	Il processore accede a un indirizzo di memoria il cui contenuto non è stato precedentemente caricato in cache	<b>B</b>	Il processore accede a un indirizzo di memoria il cui contenuto è stato precedentemente caricato in cache
----------	---	----------	---

---

**Domanda 13\***

Un cache miss di tipo "conflict" può aversi in una cache completamente associativa?

<b>A</b>	Sì	<b>B</b>	No
----------	----	----------	----

---

**Domanda 14**

Un cache miss di tipo "cold (compulsory)" si ha quando:

<b>A</b>	La cache avrebbe blocchi liberi per ospitare il blocco acceduto, ma per vincoli architetturali non sono utilizzabili per quel particolare blocco	<b>B</b>	Un determinato blocco di memoria viene caricato per la prima volta in cache
----------	--	----------	---

---

**Domanda 15\***

Si consideri un sistema con una piccola cache completamente associativa contenente 2 sole linee da 16 byte ciascuna. Quanti cache miss vengono generati dal seguente frammento di programma? Assumere che l'array  $v$  sia allineato a un indirizzo multiplo di 16 byte e che la cache inizialmente non contenga alcun blocco di memoria in uso al processo.

```
int v[12];
v[0]=5;
v[1]=4;
v[10]=3;
v[8]=2;
v[2]=v[10];
v[9]=v[1];
```

<b>A</b>	1	<b>B</b>	2
<b>C</b>	5	<b>D</b>	8

---

**Domanda 16\***

Con riferimento alla domanda 15, il programma esibisce qualche tipo di località?

<b>A</b>	No	<b>B</b>	Sì, solo spaziale
<b>C</b>	Sì, solo temporale	<b>D</b>	Sì, sia spaziale che temporale

---

**Domanda 17\***

Con riferimento alla domanda 15, quanti cache miss si avrebbero se la cache fosse a indirizzamento diretto?

<b>A</b>	1	<b>B</b>	2
<b>C</b>	4	<b>D</b>	8

---

**Domanda 18\***

Con riferimento alla domanda 15, i cache miss sono tutti "cold"?

<b>A</b>	Sì	<b>B</b>	No
----------	----	----------	----

---

**Domanda 19\***

Con riferimento alla domanda 17, vi sono cache miss di tipo "conflict"?

<b>A</b>	Sì	<b>B</b>	No
----------	----	----------	----

---

**Domanda 20**

In una gerarchia di memoria, le velocità di accesso sono tali che:

<b>A</b>	$L1 > L2 > L3 > \text{registri} < \text{memoria centrale} < \text{disco}$	<b>B</b>	$\text{Registri} < L3 < L2 < L1 < \text{memoria centrale} < \text{disco}$
<b>C</b>	$L3 < L2 < L1 < \text{registri} < \text{memoria centrale} < \text{disco}$	<b>D</b>	$\text{Registri} < L1 < L2 < L3 < \text{memoria centrale} < \text{disco}$

---

**Domanda 21\***

Di quanto è più lenta una  $\text{mov } M, R$  (memoria-registro) che accede a un valore non in cache rispetto a una  $\text{mov } R, R$  (registro-registro)?

<b>A</b>	$\sim 2x$	<b>B</b>	$> 30x$
<b>C</b>	$\sim 5x$	<b>D</b>	$\sim 10x$

---

**Domanda 22\***

Quanti cache miss genera la scansione lineare di un array di  $n$  elementi assumendo una cache in cui ogni linea può contenere  $k$  elementi dell'array?

<b>A</b>	$k$	<b>B</b>	$n/k$
<b>C</b>	$n$	<b>D</b>	1

---

**Domanda 23\***

Quanti cache miss può generare nel caso peggiore la scansione lineare di una lista collegata di  $n$  elementi assumendo una cache completamente associativa in cui ogni linea può contenere  $k$  nodi dell'array?

<b>A</b>	$k$	<b>B</b>	$n/k$
<b>C</b>	$n$	<b>D</b>	1

---

**Domanda 24\***

Si considerino gli accessi a memoria generati dalla scansione lineare di un array. Usando una cache completamente associativa gli accessi all'array generano meno cache miss rispetto a una cache ad indirizzamento diretto?

<b>A</b>	Vero	<b>B</b>	Falso
----------	------	----------	-------